

PATENT
8001-1191

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Koji ARITA et al.
Appl. No.: Conf.:
NEW NON-PROVISIONAL
Filed: Group:
February 13, 2004 Examiner:
Title: METHOD OF MANUFACTURING SEMICONDUCTOR
DEVICE HAVING DAMASCENE INTERCONNECTION

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

February 13, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-038361	February 17, 2003
JAPAN	2003-432532	December 26, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON


Eric Jensen, Reg. No. 37,855

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

EJ/ia

Attachment(s): 2 Certified Copy(ies)



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 2月17日
Date of Application:

出願番号 特願2003-038361
Application Number:

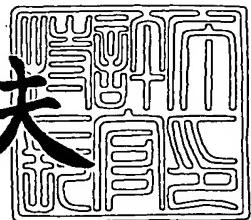
[ST. 10/C] : [JP2003-038361]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年12月 3日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 74120031
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/288
H01L 21/3205

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地
NEC エレクトロニクス株式会社内

【氏名】 有田 幸司

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地
NEC エレクトロニクス株式会社内

【氏名】 三ヶ木 郁

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地
NEC エレクトロニクス株式会社内

【氏名】 北尾 良平

【特許出願人】

【識別番号】 302062931
【氏名又は名称】 NEC エレクトロニクス株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成した層間絶縁膜に形成されるビアホール、又は配線溝にシード層を形成した後、電流めっき法を用いて配線材料を埋め込む工程を有する半導体装置の製造方法において、前記めっき法に使用するめっき浴が抑制剤及び光沢剤の少なくとも 2 種以上の添加剤を有し、且つ前記めっき法の電流ステップが、

めっきを成長させる方向にのみ電流を流す第 1 の電流ステップと、前記第 1 の電流ステップとは逆の方向にのみ電流を流す第 2 の電流ステップと、前記第 1 のステップと同じ方向にのみ電流を流す第 3 の電流ステップと、の 3 個のステップのみから成り、前記第 1 、第 2 、第 3 の順であることを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 2 の電流ステップが、電流値と時間の積算の絶対値として、 $1.0 \sim 120 \text{ mA} \times \text{sec} / \text{cm}^2$ 以下になるように設定されていることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の電流ステップが、電流値と時間の積算として、 $20 \sim 2700 \text{ mA} \times \text{sec} / \text{cm}^2$ の範囲になるように設定されていることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の電流ステップの電流値が、 $0.5 \sim 13 \text{ mA/cm}^2$ の範囲であること特徴とする請求項 1 、 2 又は 3 に記載の半導体装置の製造方法。

【請求項 5】 前記配線材料が銅であることを特徴とする請求項 1 、 2 、 3 又は 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係わり、詳しくは、めっき法を用いたダマシン配線プロセスにおける配線研磨後の配線高さを均一に形成する半導体装置の

製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置の高集積化及びチップサイズの縮小化に伴い、配線の微細化及び多層配線化が進められており、多層配線構造を形成する方法として、ビアホール及び配線トレーナーパターンにCuシード層を介して電流めっき法を用いて配線材料となるCuを同時または順次に埋め込み、CMP（Chemical Mechanical Polishing）法により平坦化して配線を形成する、いわゆるダマシンプロセスが一般的に行われている。

【0003】

一般的なダマシンプロセスについて図面を参照して説明する。図5は、従来のダマシンプロセスの手順を示す工程断面図である。まず、図5（a）に示すように、半導体基板4上に形成されたエッチングトップ膜10と層間絶縁膜5に開口した配線溝パターン6にバリアメタル層7、Cuシード層8を順次形成する。

【0004】

次に、図5（b）に示すように、電流めっき法を用いてCuめっき層9を前記配線溝パターン6が十分に埋設されるまで形成する。次に、図5（c）に示すように、CMP法によって層間絶縁膜5が露出するまで表面を平坦化させ、ダマシン配線を形成する。

【0005】

ここで図6を参照して、前記めっき法の反応形態について説明する。ダマシンプロセスにおいては、微細パターンをボイドなく埋設を行うために、抑制剤15、光沢剤16等を含むめっき浴が使用される。抑制剤15はめっき成長を抑制する効果と、めっき膜質を緻密にする効果を有している。一方、光沢剤16はめっき成長を促進する効果を有している。図6（a）に示すように、成長初期に均一に吸着した前記光沢剤16は、吸着した表面で保持され続けるため、Cuめっき層9の成長が進んだ図6（b）の状態では、表面の部位によって濃度勾配が生じる。この濃度勾配により、配線溝パターン6の底部の成長が加速されるボトムア

ップと呼ばれる成長反応が生じる。抑制剤15は拡散係数が小さいため、図6（a）に示すように、配線溝パターン6内より表面上での濃度が高くなってしまい、平坦部のめっき成長を抑制して、ボトムアップ効果を助長する。しかし、上記の様な光沢剤16の濃度勾配は配線溝パターン6内が配線材料で埋設された後も継続されているため、図6（c）に示すように配線溝パターン6上が盛り上がっててしまう。一方、十分な幅を有する配線溝においては、上述したような光沢剤16の濃度勾配はほとんど発生しないため、配線溝パターン6上が盛り上ることはない（図5（b）参照）。

【0006】

上述したように微細パターンをボイドなく埋設するために使用する添加剤の影響により、微細パターン上ではめっき膜の盛り上がりが発生する。そのため、図5（c）で示したCMP工程において、ボトムアップにより盛り上った余剰Cuも含めた層間絶縁膜3上のCuを取りきる十分な研磨時間を設定するため、CMP工程のコストアップと削り込みによるエロージョン13やディッシング14が生じて、配線高さにばらつきが生じている。

【0007】

【特許文献1】

米国特許6140241

【特許文献2】

米国特許6319831B1

【特許文献3】

米国特許6107186

【特許文献4】

米国特許6245676B1（特開平11-238703）

【0008】

【発明が解決しようとする課題】

上述した従来のダマシンプロセスにおけるCuめっき法において、微細パターンをボイドなく埋設するためには、ボトムアップ性を有するめっき浴、及びめっき条件を適用することは必須である。しかしボトムアップ性を有するめっき法に

においては微細パターン上の盛り上がりが発生してしまう。Cuめっきの電流ステップを多段階にする従来例として、特許文献1や特許文献2では、電流ステップを低電流から高電流に切り替える2ステップや低電流ステップ後に無通電ステップを設けることが開示させている。しかしながらこの方法では、微細パターン上の盛り上がりを解消することができないため、CMP後のエロージョン13やディッシング14が避けられない。また特許文献3では、パターン密度の高いところのめっき膜を盛り上げることにより、平滑なCMPが可能であることを開示しているが、CMPへの負荷が大きく、CMPコストの増大は避けられない。

【0009】

また特許文献4では、メッキ液中の抑制剤分子を除去するための逆バイアス電流を印加して、配線溝パターン6上を平坦部と比較して相対的に盛り上げて、平滑なCMPが可能であることを開示している。これは、上述した特許文献3と同様にCMPへの負荷が大きく、CMPコストの増大は避けられない。

【0010】

上述したように、従来のダマシンプロセスにおけるCuめっき法において、微細パターンをボイドなく埋設するためには、ボトムアップ性を有するめっき浴、及びめっき条件を適用することは必須であるが、ボトムアップ性を有するめっき法においては微細パターン上の盛り上がりが発生してしまうため、微細パターンの埋設性やめっき膜質を変化させること無く、微細配線パターン部の盛り上りを解消する方法の開発が求められている。

【0011】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、ダマシンプロセスにおけるCuめっきプロセスにおいて、微細パターンの埋設性やめっき膜質を変化させること無く、微細パターン部の盛り上りを解消する。その結果としてCMPのコスト低減とCMP時に発生するエロージョン13やディッシング14を抑制し配線高さが均一なデバイスを形成することができる半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に形成した層間絶縁膜に形成されるビアホール、又は配線溝にシード層を形成した後、電流めっき法を用いて配線材料を埋め込む工程を有する半導体装置の製造方法において、前記めっき法に使用するめっき浴が抑制剤及び光沢剤の少なくとも2種以上の添加剤を有し、且つ前記めっき法の電流ステップが、めっきを成長させる方向にのみ電流を流す第1の電流ステップと、前記第1の電流ステップとは逆の方向にのみ電流を流す第2の電流ステップと、前記第1のステップと同じ方向にのみ電流を流す第3の電流ステップと、の3個のステップのみから成り、前記第1、第2、第3の順であることを特徴とするものである。

【0013】

また本発明の半導体装置の製造方法においては、前記第2の電流ステップが、電流値と時間の積算の絶対値として、 $1.0 \sim 120 \text{ mA} \times \text{sec} / \text{cm}^2$ 以下になるように設定されていることが好ましい。

【0014】

また本発明の半導体装置の製造方法においては、前記第1の電流ステップが、電流値と時間の積算として、 $120 \sim 2700 \text{ mA} \times \text{sec} / \text{cm}^2$ の範囲になるように設定されていることが好ましい。また前記第1の電流ステップの電流値が、 $0.5 \sim 13 \text{ mA} / \text{cm}^2$ の範囲であることが好ましい。また前記配線材料が銅であることが好ましい。

【0015】

【発明の実施の形態】

従来例で示したように、ダマシンプロセスにおけるCuめっき工程では、微細なパターンをボイド無く埋設するために、光沢剤と抑制剤を有するめっき浴を用いたボトムアップ性めっきが必要であるが、微細パターン上での盛り上がりが発生する。この原因については先述したが、めっき反応を促進する光沢剤16の濃度勾配に起因するものである。配線パターン上の盛り上がりを抑制するためには、ボトムアップにより濃度勾配を生じた光沢剤16の吸着を一度キャンセルし、再度均一に吸着した状態で成長を行えばよいと考えられる。吸着した光沢剤16を脱離するためには、光沢剤が吸着したCuめっき膜表面のCuイオンを放出

する（以下ストリッピングと呼ぶ）逆方向の電流印加が有効であると考えられる。ただ逆電流の印加はめっき膜質に影響を与えることが考えられるため、べた膜を用いて以下の実験を行った。

【0016】

半導体基板4上にバリアメタル7層とCuシード層8が形成された下地上に、図1に示すような第1の電流ステップ1、第2の電流ステップ2、第3の電流ステップ3から構成される電流ステップを適用しためっき法により、Cuめっき層9を成長させた。図中のT1、T2、T3はそれぞれ各電流ステップの時間を、A1、A2、A3はそれぞれ各ステップの電流値を示している。

【0017】

表1に第2の電流ステップ2である逆電流を流すステップ時間（T2）とその電流値（A2）に対するめっき膜中の欠陥をTEMにより観察した結果を示した。めっき膜の成長及びストリッピングはCuイオンによる電子のやり取りによって行われるため、めっき膜の成長量及びストリッピング量は、時間及び電流値の積算量（以下積算電流値）、すなわちCuイオンによってやり取りされた電子の総量により決定される。そのため、表中に積算電流値を記してある。

【0018】

【表1】

T2 (sec)	A2 (mA/cm ²)	T2 × A2 (mA × sec/cm ²)	TEMによる欠陥の有無
2	-16	-32	なし
5	-16	-80	なし
7.5	-16	-120	なし
10	-16	-160	あり
2	-32	-64	なし
3.75	-32	-120	なし
5	-32	-160	あり

【0019】

表1よりCuめっき膜中の欠陥は、第2の電流ステップ2の積算電流値であるT2×A2の絶対値が120mA×sec/cm²以下では発生しておらず、それより大きい場合は発生している。積算電流値の絶対値が120mA×sec/

cm^2 より大きい、すなわちストリッピング反応が大きく進行しすぎると、Cuめっき膜表面に存在していた抑制剤成分まで除去されてしまうため、膜質が緻密でなくなり欠陥が発生したと考えられる。以上の結果より、逆電流の流すステップの積算電流値の絶対値は、膜質の観点から $120 \text{ mA} \times \text{sec} / \text{cm}^2$ 以下であることが好ましい。逆に、ストリッピング積算電流値の最小値は、Cu原子全てに光沢剤が吸着しているとして、 1 cm^2 当りの Cu 1 原子層の Cu をめっき液に戻すに必要な電荷量と考えても良い。Cu の原子間距離、 2.56 \AA 、電子の電荷量、 1.60×10^{-19} クーロン、Cu が 2 倍のイオンになることを考慮すると、最小積算電流値は $0.5 \text{ mA} \cdot \text{sec}$ となる。ウエハー内のバラツキと余裕度を見て、第 2 の電流ステップ 2 の積算電流値は $1.0 \text{ mA} \times \text{sec}$ 以上であることが好ましい。

【0020】

次に微細パターン上の盛り上がりを抑制できるかを調べるために以下の実験を行った。

【0021】

実験方法について、図 2 を使用して説明する。図 2 (a) に示すように半導体基板 4 上に形成した層間絶縁膜 5 に開口した配線溝パターン 6 上に、バリアメタル層 7、Cu シード層 8 を形成した下地を準備した。

【0022】

次に図 1 に示した Cuめっきの電流ステップを使用して、Cuめっき層 9 の成長を行った。逆電流を印加するタイミングは図 2 (b) ~ (d) のそれぞれのタイミングで行った (T1 を変化させた)。その後、すべてのサンプルが図 2 (e) の膜厚まで Cuめっき層 9 を成長させたサンプルを準備した (T3 を調整した)。比較として、第 2 の電流ステップ 2 の無い従来技術の電流ステップを使用して形成したサンプルも準備した。今回の実験では、逆電流の電流値 (A2) は、 -16 mA/cm^2 とし、第 2 の電流ステップ 2、すなわち逆電流のステップ時間 (T2) は 5 sec でめっき成長を行った。

【0023】

表 2 に図 2 (b) ~ (d) のそれぞれのタイミングで逆方向の電流を印加した

、すなわちT1を変化させた際の、配線溝パターン6上の盛り上がり（図2（e）内の高さH）を段差測定器により測定した結果を示した。

【0024】

【表2】

	従来例	T1=図2(b)	T1=図2(c)	T1=図2(d)
盛り上がりH (nm)	800	150	50	250

【0025】

表2より逆方向の電流ステップ、すなわち第2の電流ステップを適用することにより、配線溝パターン6上の盛り上がり高さHが大幅に低減していることが確認された。T1が図2（c）のタイミングで設けた場合が、最も盛り上がり高さHが抑制されているが、これは配線溝パターン6上が最も平坦になった時に、逆方向の電流を印加して、光沢剤16の濃度勾配をキャンセルしたためである。

【0026】

実デバイスでは、多層配線をダマシンプロセスにより形成するため、様々な配線幅や配線深さの配線溝パターン6が存在している。我々の検討結果では、第1の電流ステップ1時間であるT1を、積算電流値が $120 \sim 2700 \text{ mA} \times \text{sec/cm}^2$ になるように設定した場合に様々な配線幅や配線深さの配線溝パターン6で配線溝パターン6上の盛り上がりHを最小にすることが可能であることを見出している。上記範囲以外でも効果は得られるが、効果を最大限に得るために上記の範囲であることが好ましい。

【0027】

次に図1の電流ステップにおいて、第1の電流ステップ1の電流値（A1）を変化させて、図2（e）に示した上記の実験と同様のサンプルを作成して、配線溝パターン上の盛り上がり高さHを測定した。その結果を表3として示した。盛り上がり高さHとしては、ウエハ面内9点での平均値を示してある。9点測定のばらつき幅も表3中に記した。

【0028】

【表3】

A1(mA/cm ²)	盛り上がりH(nm)	はらつき幅(nm)
1	49.5	15.1
7	50.2	14.8
13	49.0	15.6
18	61.0	38.2
23	63.6	48.5

【0029】

表3より、第1の電流ステップ1の電流値であるA1によって、配線溝パターン6上の盛り上り高さHはほとんど変化しない。しかし13mA/cm²以下では面内のバラツキは20nm以下であるのに対して、A1が13mA/cm²より大きい場合には、バラツキの増加が見られる。このバラツキ増加の原因は、ウエハ面内でのボトムアップ成長のバラツキに起因している。ウエハ上に存在する配線溝パターン6では、添加剤の吸着状態が若干ばらついており、ボトムアップによる配線溝パターン6の埋設速度にも若干のバラツキが生じる。仮にそのバラツキを5%程度と仮定した場合、成長速度の大小により5%のばらつきは同一でも、レンジとして考えた場合には、成長速度が速いめっき条件、すなわち電流値が高い条件ほど、そのレンジとしての絶対値は大きくなる。

【0030】

以上のことより、A1が13mA/cm²より大きい場合には、バラツキの増加が見られると考えられるため、第1の電流ステップ1の電流値（A1）は13mA/cm²以下であることが好ましい。しかし、第1の電流ステップの電流値（A1）は0.5mA/cm²以下ではCuシード層の溶解速度が寄与してくるため、配線溝の埋設性が劣化してしまうことが我々の実験より既に分かっている。そのため、第1の電流ステップ1の電流値（A1）は0.5~13mA/cm²の範囲で設定すると、盛り上り高さHの抑制が更に効果的となる。

【0031】

Cuメッキにおいて、添加剤である抑制剤の働きをめっき電流を制御（方向、パルス幅等）する事により制御して、Cuのめっき成長を制御することは知られているが、逆方向の電流を適切なタイミングで短時間行うことにより、光沢剤1

6の濃度勾配をキャンセルし、配線溝パターン6上の盛り上りを、埋設性や膜質の劣化なく、解消することができるという効果は、本願発明者らの知見によって得られた新規な事実である。

【0032】

尚、本発明の上記各電流ステップにおいて、各電流値は一定の値で良い。すなわち、各電流ステップの期間中めっき電流は、上記電流値或いは、電流・めっき時間の積が上記値の範囲であれば、その値で一定で良い。従来技術で推奨されているような、めっき電流をパルス状に電流の向きを変化させたり、電流停止期間を設けたりするような、複雑な制御は不要である。

【0033】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明のCuめっきの電流ステップを適用したダマシンプロセスの具体的な実施例について図面を参照して説明する。

【0034】

(実施例1)

まず、本発明の第1の実施例に係るダマシンプロセスについて、図3を参照して説明する。図3は、本発明のCuめっきの電流ステップを適用したダマシンプロセスの手順を示す工程断面図である。

【0035】

まず、図3(a)に示すように、公知の方法により、半導体基板4上にCVD法、プラズマCVD法等を用いて、エッチングストップ膜10、層間絶縁膜5を、50nm、300nmの膜厚で順次形成する。その後、層間絶縁膜5の上に、露光の光の反射を抑制するための反射防止膜11を50nm程度堆積した後、配線溝パターン6を形成するための化学增幅型レジストを500nm程度塗布し、KRFフォトリソグラフィーによる露光、現像を行い、レジストパターン12を形成する。

【0036】

次に、図3(b)に示すように、公知のドライエッティングにより反射防止膜11、層間絶縁膜5、エッチングストップ膜10を順次エッティングして、それらを

貫通する配線溝パターン6を形成する。その後、酸素プラズマアッティング及び有機剥離液を用いたウェット処理によりレジストパターン12と反射防止膜10とを剥離し、ドライエッチングの残留物を除去する。

【0037】

次に、図3(c)に示すように、配線材料の拡散を防止し、密着性の向上を図るためのタンタル(Ta)、窒化タンタル(TaN)等のバリアメタル層7を、30nm程度の厚さで形成し、配線材料となるCuのめっき成長を行うためのCuシード層8を100nm程度の膜厚で順次形成する。

【0038】

その後、図3(d)に示すように、本発明の電流ステップを適用したCuめっき法により、Cuめっき層9をすべての配線溝パターン6がCuで埋設されるまで行う。本実施例の場合、500nmのCuめっき層9を形成した。本発明の電流ステップを適用したことにより、段差が大幅に軽減したCuめっき層が形成された後、図3(e)に示すように、CMP法を用いて余分なCuを研磨して表面を平坦化することにより、エロージョンやディッシングの小さいダマシン配線が完成する。

【0039】

比較のため、前記従来技術のCuめっき条件を用いたサンプルにおいても、同一のCMP条件を用いて研磨を行ったが、余分なCuを取りきるのに要した時間が、10sec短縮できることが確認された。CMPスラリーは1000円/Lと非常に高価であり、10secのCMP時間短縮により1回あたり25円のコスト低減が達成された。

【0040】

次に実施例1で用いためっき条件を詳細に説明する。電流ステップは図1に示すように第1～第3の電流ステップで構成されている。上述した実験結果を元に各電流ステップの時間及び電流値を表4のように設定して、めっき成長を行った。

【0041】

【表4】

Cuめっきの各電流ステップの時間及び電流値

1. 第1の電流ステップ時間 (T1) 及び電流値 (A1)
T1 : 30 sec, A1 : 10 mA/cm²
2. 第2の電流ステップ時間 (T2) 及び電流値 (A2)
T2 : 2 sec, A2 : -16 mA/cm²
3. 第3の電流ステップ時間 (T3) 及び電流値 (A3)
T3 : 30 sec, A3 : 33 mA/cm²

【0042】

なお、第3の電流ステップ3に関しては本実施例においては33mA/cm²に設定して処理を行ったが、第2の電流ステップ2で光沢剤16の濃度勾配がキャンセルされ、均一に光沢剤16が吸着しているため、どのような電流値を設定しても同様の効果が得られる。

【0043】

第1の実施例で形成した際の図3(d)の盛り上り高さHと、図3(e)のディッシングージョン14高さDを表5として示した。比較のため、従来技術で形成したサンプルの結果も合わせて示した。

【0044】

【表5】

	従来技術	本願の新規技術
盛り上り高さH(nm)	900	50
ディッシング高さD(nm)	90	30

【0045】

表5より、本願の電流ステップを適用したことにより、配線溝パターン上の盛り上がり高さHが大幅に軽減され、その結果としてCMP後のディッシング14が大幅に抑制されていることが確認された。

【0046】

次に実施例1で形成したサンプルを用いて、配線R_sを評価した。その結果を図4として示した。配線R_sとは配線の抵抗値を配線幅と配線長の積で割った値

であり、配線高さのみにより変化する値であるため、配線高さのバラツキの指標となる。比較のため、従来技術のサンプルも同様に配線R_sを測定した。実施例1のサンプル及び従来技術の各サンプルにおいて、配線幅と配線間隔の異なるパターンを1枚のウエハー上に多種作り、各パターン毎にR_sを測定した。配線幅としては、0.14um～4.5um、配線間隔としては、0.14um～4.0umでそれらの任意の組み合わせのパターンを形成した。図4では、多くのパターンから代表として3個のパターンを選んで図示している。図4より、従来技術と比較して新規技術では配線R_sのバラツキが大幅に抑制されており、言い換えばより均一な高さで配線が形成されていることが分かる。

【0047】

【発明の効果】

以上説明したように、本発明の半導体装置の製造方法によれば、Cuめっき時に形成されてしまう微細パターン上での盛り上がりを抑制することが可能となり、CMPで余剰Cuを取りきる時間を短時間化でき、CMPのコストを下げることが可能となる。またCMPの余剰Cuを取りきる際に発生するエロージョンやディッシングも抑制できるため、配線高さが均一に形成される信頼性の高いCuダマシン配線を提供することが可能となる。

【図面の簡単な説明】

【図1】

本発明の電流ステップを説明する概略図である。

【図2】

本発明の効果を説明するためのめっき成長工程の概略図である。

【図3】

本発明の第1の実施例に係るダマシンプロセスの手順を示す工程断面図である。

【図4】

本発明の第1の実施例で作成したダマシン配線のR_sと従来技術によるダマシン配線のR_sとを比較した実験データ図である。

【図5】

従来のダマシンプロセスの手順を示す工程断面図である。

【図6】

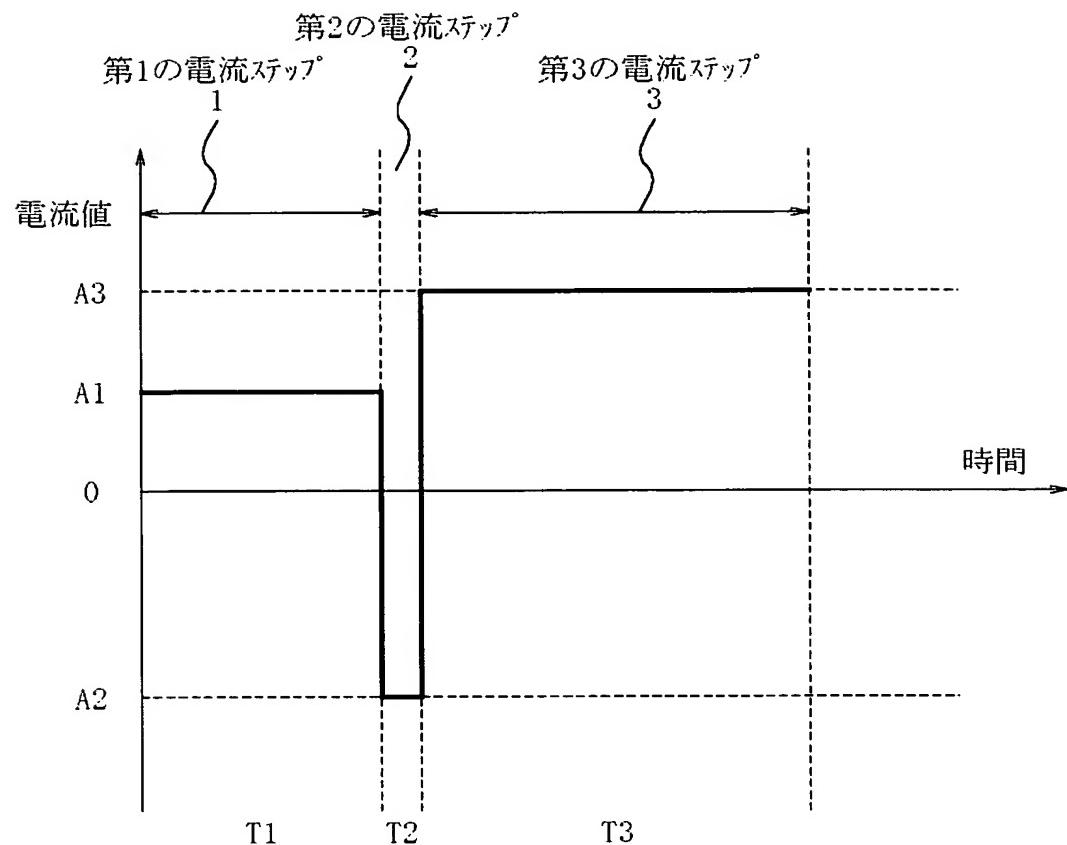
本発明で使用するめっき浴中の添加剤の効果を説明するための概略図である。

【符号の説明】

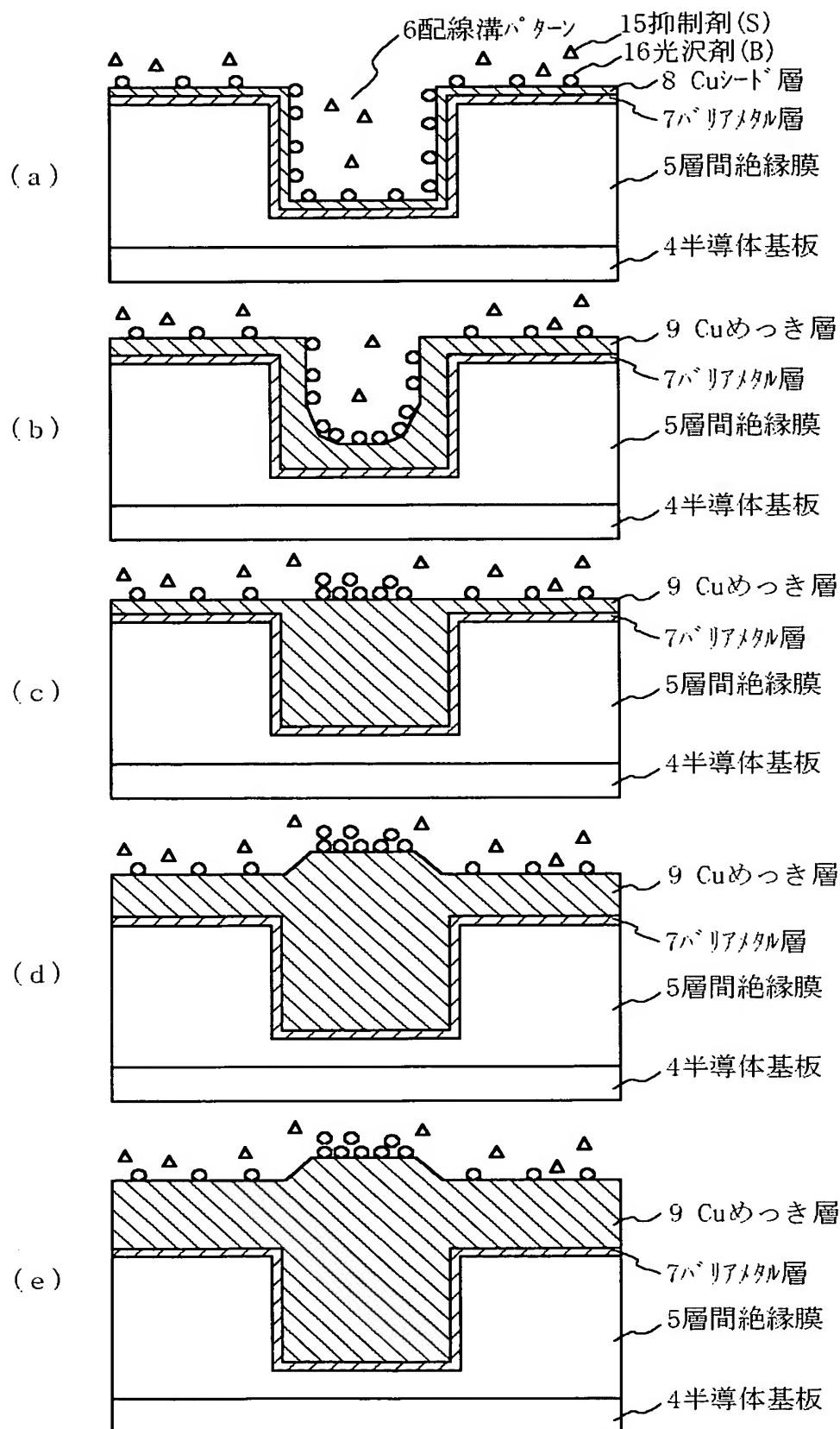
- 1 第1の電流ステップ
- 2 第2の電流ステップ
- 3 第3の電流ステップ
- 4 半導体基板
- 5 層間絶縁膜
- 6 配線溝パターン
- 7 バリアメタル層
- 8 Cuシード層
- 9 Cuめっき層
- 10 エッチングストップ膜
- 11 反射防止膜
- 12 レジストパターン
- 13 エロージョン
- 14 デイッシング
- 15 抑制剤
- 16 光沢剤

【書類名】 図面

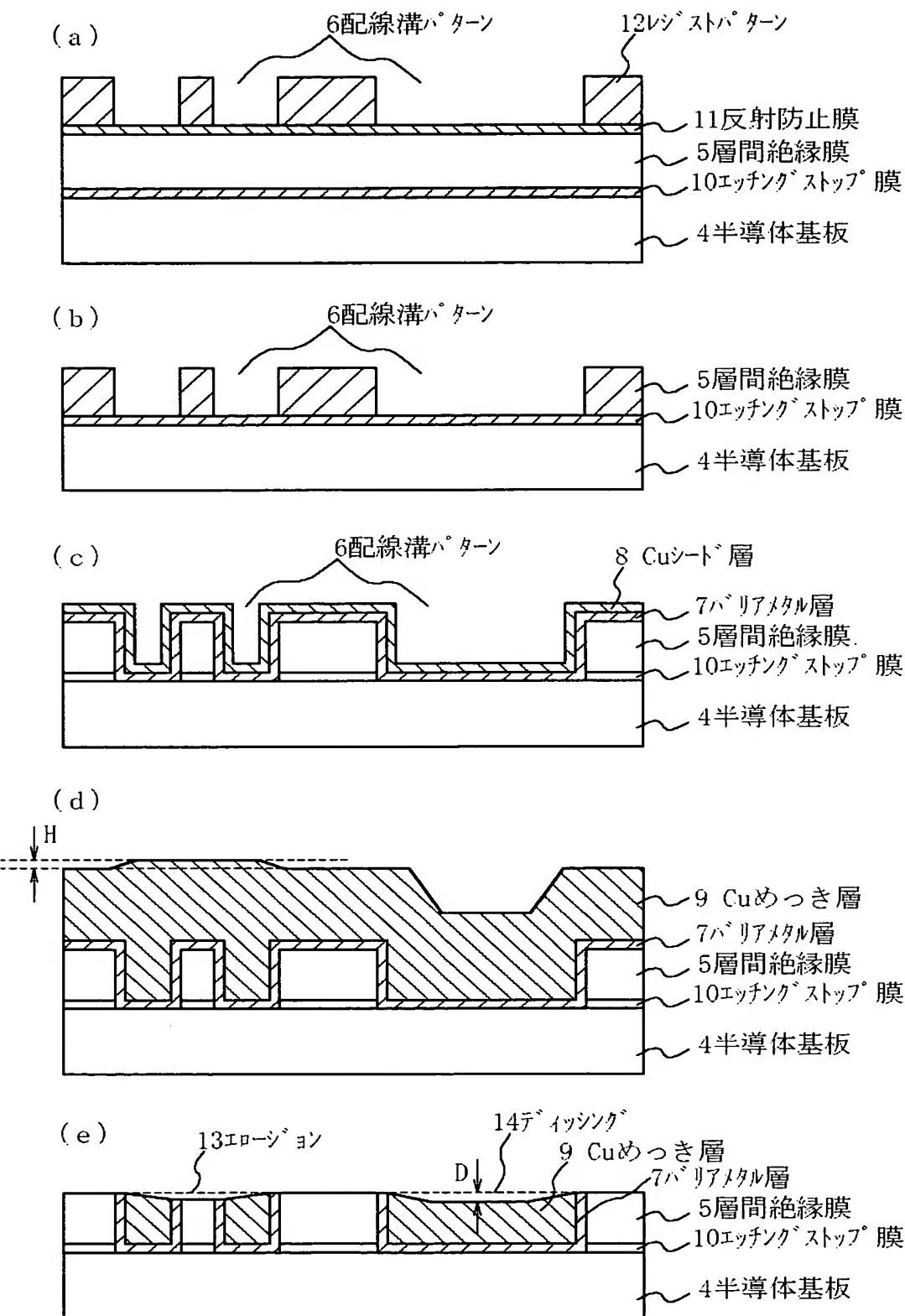
【図 1】



【図 2】

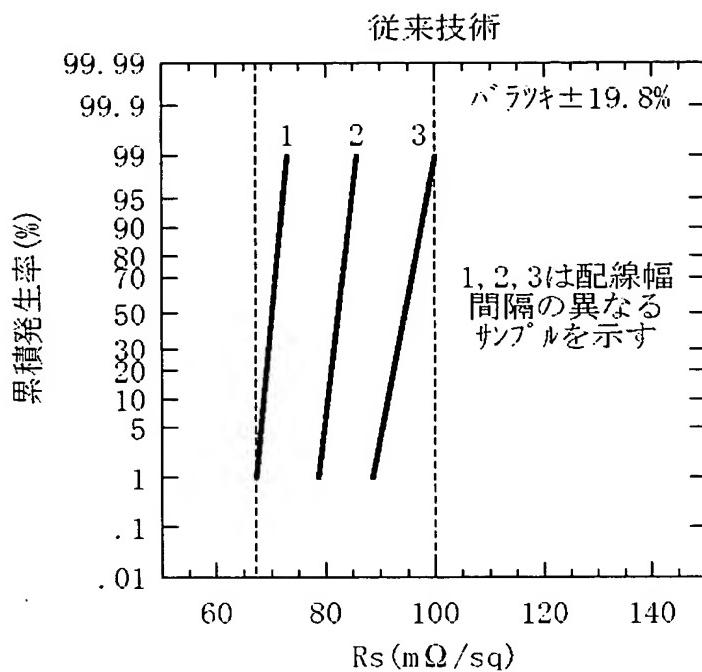


【図3】

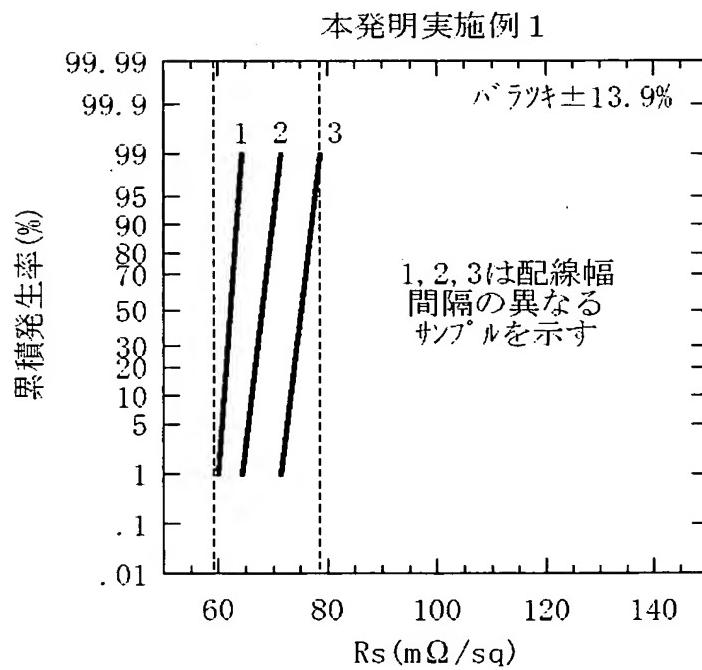


【図 4】

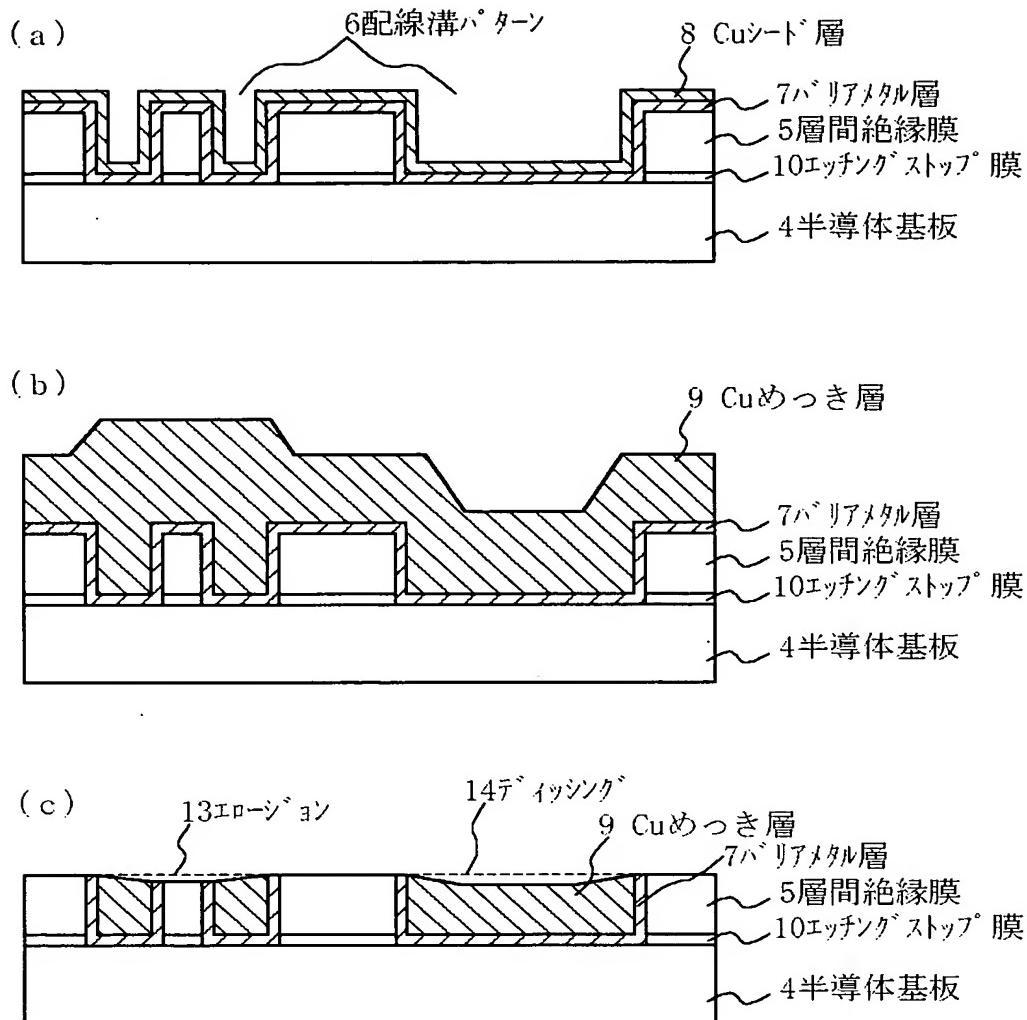
(a)



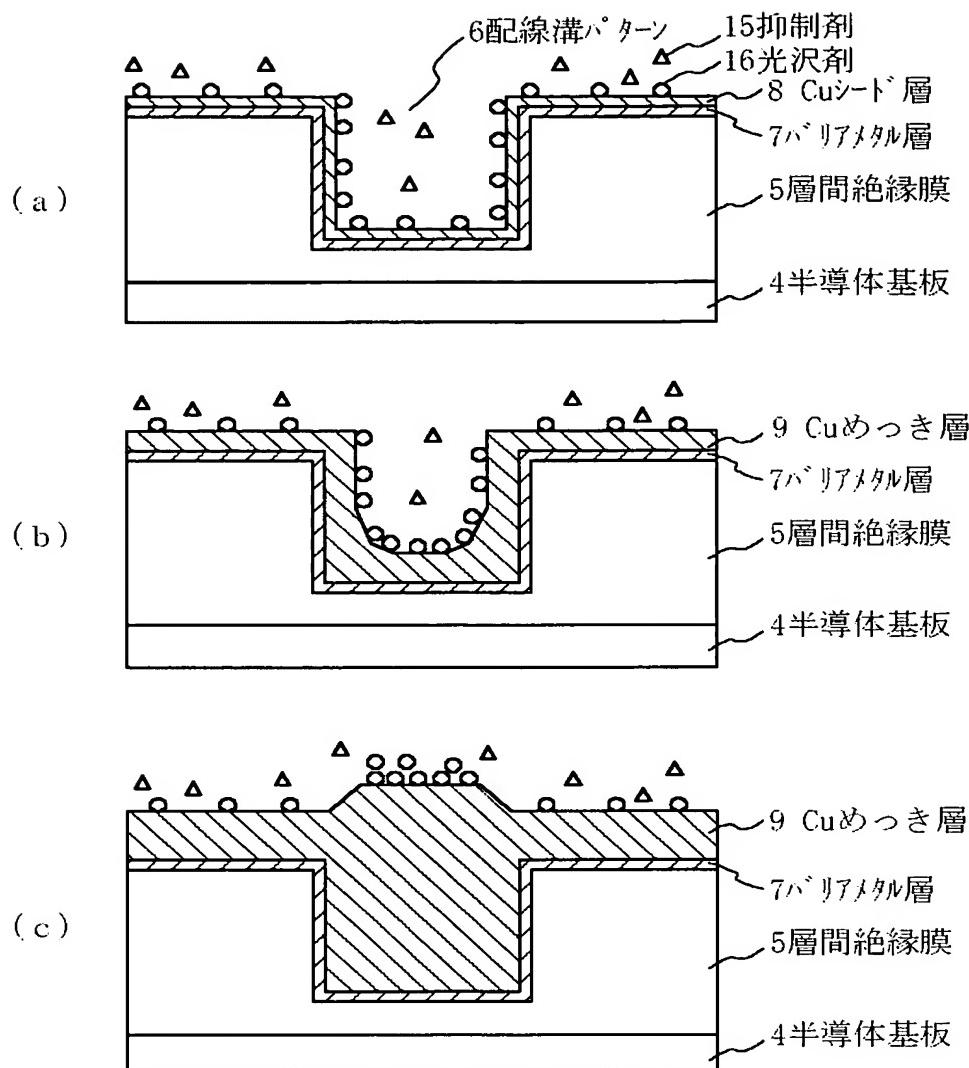
(b)



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 ダマシン法銅めっきにおいて、配線の密な所にめっきの盛り上がりが生じて、CMP研磨時間の増大によるコストアップ、ディッシング、エロージョン等が起こるのを防止するめっき方法を提供する。

【解決手段】 銅めっきの電流ステップを第1図に示すように、第1の電流ステップ、第2の電流ステップ、第3の電流ステップに分けて、銅めっきを実施する。このとき、第2の電流ステップの電流・時間積は $120 \text{ mA} \times \text{sec} / \text{cm}^2$ 以下になるようにする。

【選択図】 図1

認定・付加情報

特許出願の番号 特願 2003-038361
受付番号 50300248663
書類名 特許願
担当官 第五担当上席 0094
作成日 平成15年 2月18日

<認定情報・付加情報>

【提出日】 平成15年 2月17日

次頁無

特願 2003-038361

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社